

# PATENT ABSTRACTS OF JAPAN

(Publication number : 08-211999)  
(43) Date of publication of application : 18. 10. 1996

(51) Int. Cl.

H01L 27/04  
H01L 21/822  
H01L 21/82  
H03F 3/34  
H03F 3/45  
H03F 3/68

(21) Application number : 07-071781  
(22) Date of filing : 29. 03. 1995

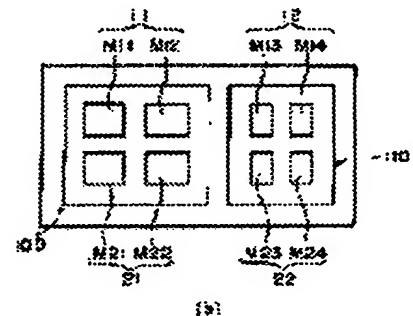
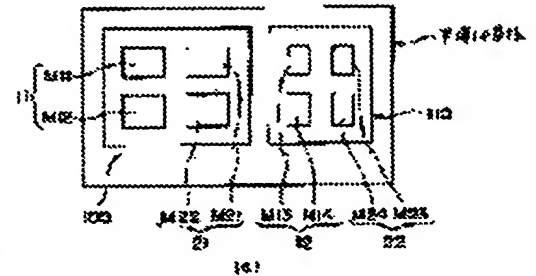
(71) Applicant : NISSAN MOTOR CO LTD  
(72) Inventor : KARAKI TOSHIRO  
SHINOHARA TOSHIAKI  
ABE NORIYUKI

## (54) ARITHMETIC OPERATIONAL AMPLIFIER CIRCUIT

### (57) Abstract:

**PURPOSE:** To prevent output from being influenced by input offset voltage by a method wherein each input offset voltage of a plurality of arithmetic operational amplifier, formed on a semiconductor wafer, is cancelled each other.

**CONSTITUTION:** In an arithmetic operational circuit, with an arithmetic operational amplifiers, which will be formed on a semiconductor wafer, a differential input couple 11 and 21 are arranged in parallel, the distance between transistors M11 and M12, which constitute the differential input couple 11, and the distance between the transistors M21 and M22, which constitute the differential input couple 21, are made almost equal to each other, and the direction where transistors M11 and M21 are arranged and the direction where transistors M12 and M22 are arranged are made almost equal to each other. In the same manner as above, the difference in threshold voltage between the differential input couple 11 and 21 is made equal by the arrangement of load couple 11 and 22, and also the difference in threshold voltage between the load couple 12 and 22 are made equal. As a result, the input offset voltages of each arithmetic operational amplifier are set at the same value, and they are cancelled each other irrespective of the impurity density of the semiconductor wafer and the thickness of oxide film.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-274259

(43)公開日 平成8年(1996)10月18日

| (51)IntCl. <sup>8</sup> | 識別記号   | 庁内整理番号 | F I           | 技術表示箇所 |
|-------------------------|--------|--------|---------------|--------|
| H 0 1 L 27/04           |        |        | H 0 1 L 27/04 | A      |
|                         | 21/822 |        | H 0 3 F 3/34  | Z      |
|                         | 21/82  |        | 3/45          | Z      |
| H 0 3 F 3/34            |        |        | 3/68          | Z      |
| 3/45                    |        |        | H 0 1 L 21/82 | D      |

審査請求 未請求 請求項の数5 O L (全 11 頁) 最終頁に続く

(21)出願番号 特願平7-71781

(22)出願日 平成7年(1995)3月29日

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72)発明者 唐木 俊郎

神奈川県横浜市神奈川区宝町2番地 日産  
自動車株式会社内

(72)発明者 篠原 俊朗

神奈川県横浜市神奈川区宝町2番地 日産  
自動車株式会社内

(72)発明者 阿部 憲幸

神奈川県横浜市神奈川区宝町2番地 日産  
自動車株式会社内

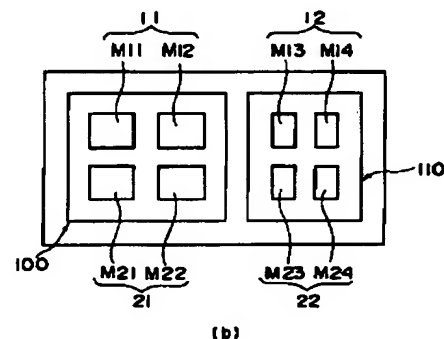
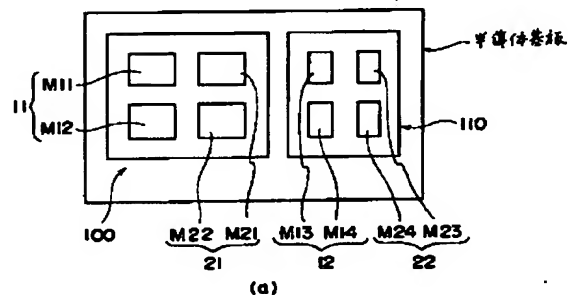
(74)代理人 弁理士 永井 冬紀

(54)【発明の名称】 演算増幅器回路

(57)【要約】

【目的】 半導体ウエハ上に形成された複数の演算増幅器の各入力オフセット電圧を互いに相殺し、出力が入力オフセット電圧の影響を受けないようにする。

【構成】 演算増幅器1, 2, 3を有し、半導体ウエハ上に形成される演算増幅器回路において、差動入力対1 1, 2 1を平行に配置し、差動入力対1 1を構成するトランジスタM1 1, M1 2間の距離と差動入力対2 1を構成するトランジスタM2 1, M2 2間の距離とを略等しくし、トランジスタM1 1, M2 1を配置する方向と、トランジスタM1 2, M2 2を配置する方向とを略等しくする。同様に、負荷対2 1, 2 2も配置することで、差動入力対1 1, 2 1の閾値電圧差を等しくし、かつ負荷対1 2, 2 2の閾値電圧差を等しくする。これにより、半導体ウエハ上における不純物濃度や酸化膜厚のばらつきに関係なく、演算増幅器1および2の入力オフセット電圧を同じ値に設定して互いに相殺させる。



## 【特許請求の範囲】

【請求項1】 正入力側である第1のトランジスタおよび負入力側である第2のトランジスタから構成される差動入力対と、前記第1のトランジスタの負荷である第1の負荷および前記第2のトランジスタの負荷である第2の負荷から構成される負荷対とを有する第1の演算増幅器と、

正入力側である第3のトランジスタおよび負入力側である第4のトランジスタから構成される差動入力対と、前記第3のトランジスタの負荷である第3の負荷および前記第4のトランジスタの負荷である第4の負荷から構成される負荷対とを有する第2の演算増幅器とを備え、前記第1および第2の演算増幅器の出力に基づいて演算処理を行う半導体基板上に形成された演算増幅器回路において、

前記第1および第2の演算増幅器の各入力オフセット電圧が互いに相殺されるように、半導体基板上の電気的特性がリニアに変化すると近似できる程度の距離内に前記第1～第4のトランジスタを配置するとともに、矩形領域の4つの頂点付近に前記第1～第4のトランジスタをそれぞれ配置し、前記第1および第2のトランジスタの各形成領域を結ぶ方向と前記第3および第4のトランジスタの各形成領域を結ぶ方向とを平行にし、かつ半導体基板上の電気的特性がリニアに変化すると近似できる程度の距離内に前記第1～第4の負荷を配置するとともに、矩形領域の4つの頂点付近に前記第1～第4の負荷をそれぞれ配置し、前記第1および第2の負荷の各形成領域を結ぶ方向と前記第3および第4の負荷の各形成領域を結ぶ方向とを平行にしたことを特徴とする演算増幅器回路。

【請求項2】 請求項1に記載の演算増幅器回路において、

前記第1および第2の演算増幅器の各出力の差分に応じた信号を出力する第3の演算増幅器を備え、

前記第1～第4のトランジスタが前記第1のトランジスタを基準として時計回りまたは反時計回り方向に前記第2、第4および第3のトランジスタの順に配置され、かつ前記第1～第4の負荷が前記第1の負荷を基準として時計回りまたは反時計回り方向に前記第2、第4および第3の負荷の順に配置されることを特徴とする演算増幅器回路。

【請求項3】 請求項1に記載の演算増幅器回路において、

前記第1および第2の演算増幅器を組とするn組（nは1以上の整数）が並列に接続され、前記n組の前記第1および第2の演算増幅器の各出力をそれぞれ加算する第4の演算増幅器を備え、

各組ごとに、前記第1～第4のトランジスタが前記第1

のトランジスタを基準として時計回りまたは反時計回り方向に前記第2、第3および第4のトランジスタの順に配置され、かつ前記第1～第4の負荷が前記第1の負荷を基準として時計回りまたは反時計回り方向に前記第2、第3および第4の負荷の順に配置されることを特徴とする演算増幅器回路。

【請求項4】 請求項1に記載の演算増幅器回路において、

正転増幅器として動作するように、従属接続された前記第1および第2の演算増幅器を組とするn組が従属接続され、

前記第1～第4のトランジスタが前記第1のトランジスタを基準として時計回りまたは反時計回り方向に前記第2、第3および第4のトランジスタの順に配置され、かつ前記第1～第4の負荷が前記第1の負荷を基準として時計回りまたは反時計回り方向に前記第2、第3および第4の負荷の順に配置されることを特徴とする演算増幅器回路。

【請求項5】 請求項1～4のいずれか1項に記載の演算増幅器回路において、

前記第1および第2の演算増幅器は同一回路で構成され、前記第1および第2の演算増幅器内部のトランジスタの形成領域の形状および面積はすべて等しく、かつ前記第1および第2の演算増幅器内部の負荷の形成領域の形状および面積はすべて等しいことを特徴とする演算増幅器回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の演算増幅器によって各種の演算を行う演算増幅器回路に関し、回路全体を半導体基板上に形成するものである。

【0002】

【従来の技術】図8は複数の演算増幅器によって信号処理を行う演算増幅器回路の一例を示す回路図である。図8の差動増幅回路は、微小信号を高精度に増幅する差動増幅回路または減算回路として動作するものであり、図示のように演算増幅器1～3と抵抗R1～R4とで構成される。差動増幅に直接関与するのは演算増幅器3と抵抗R1、R2であり、演算増幅器1、2は前段（不図示）のインピーダンスの影響を除去するための入力バッファとして作用する。

【0003】以下、図8の差動増幅回路の動作を説明する。図8の演算増幅器1の(+)端子に入力される電圧値をVin1、演算増幅器2の(+)端子に入力される電圧値をVin2とすると、演算増幅器3の出力Voutは(1)式で表される。

【数1】

$$V_{out} = \frac{-V_{in1} \cdot R_2 \cdot (R_3+R_4) + V_{in2} \cdot R_4 \cdot (R_1+R_2)}{R_1 \cdot (R_3+R_4)} \dots (1)$$

(1)式において、 $R_1 = R_2$ かつ $R_3 = R_4$ の関係が成り立つ場合には、(1)式は(2)式のように変形され、差動増幅回路として動作する。

【数2】

$$V_{out} = \frac{R_2}{R_1} (V_{in2} - V_{in1}) \dots (2)$$

【0004】一方、(1)式において、 $R_1 = R_2 = R_3 = R_4$ の関係が成り立つ場合には、(1)式は(3)式のように変形され、減算回路として動作する。

【数3】 $V_{out} = V_{in2} - V_{in1} \dots (3)$

$$V_{out} = (V_{in2} + V_{os2}) - (V_{in1} + V_{os1}) \dots (4)$$

【0006】(4)式に示すように、入力オフセット電圧 $V_{os1}$ 、 $V_{os2}$ が変化すると、それに応じて差動増幅回路の出力 $V_{out}$ も変化する。すなわち、図8に示す差動増幅回路の精度は入力オフセット電圧 $V_{os1}$ 、 $V_{os2}$ のばらつきの大きさによって定まる。言い換えれば、入力オフセット電圧 $V_{os1}$ 、 $V_{os2}$ のばらつきのワーストケースによって差動増幅回路の精度が制限される。

【0007】次に、入力オフセット電圧の発生原因について説明する。図9はPチャネル型のMOSトランジスタ（以下、PMOSトランジスタと呼ぶ）を用いて構成した演算増幅器1、2の内部回路図である。演算増幅器※

\*【0005】図8の差動増幅回路を半導体ウエハ上に形成すると、差動増幅回路の出力 $V_{out}$ は演算増幅器1、2の入力オフセット電圧の影響を受けて変化する。この入力オフセット電圧は一定の値ではなく、半導体ウエハ上に形成される演算増幅器ごとにそれぞれ異なった値となる。図8の演算増幅器1、2の入力オフセット電圧をそれぞれ $V_{os1}$ 、 $V_{os2}$ とすると、(3)式は(4)式のように変形される。

【数4】

※1、2は、図9に示すように、差動入力対を構成するPMOSトランジスタM1、M2と、差動入力対の負荷対を構成するNMOSトランジスタM3、M4と、定電流源として動作するPMOSトランジスタM5～M7と、出力バッファとして動作するNMOSトランジスタM8と、コンデンサC1と、抵抗R5とで構成される。入力オフセット電圧は、特性にばらつきが要求される差動入力対M1、M2あるいは負荷対M3、M4のアンバランスによって生じ、一般に(5)式で表される（P. R. グレイ：アナログ集積回路設計技術(下)参照）。

【数5】

$$V_{os} = \Delta V_{t(1-2)} + \Delta V_{t(3-4)} \frac{g_{m3}}{g_{m1}} + \frac{(V_{GS} - V_t)(1-2)}{2} \left( \frac{-\Delta \frac{W}{L} (1-2)}{\frac{W}{L} (1-2)} - \frac{\Delta \frac{W}{L} (3-4)}{\frac{W}{L} (3-4)} \right) \dots (5)$$

$V_t$  : MOS-Trのしきい値電圧  
 $V_{GS}$  : MOS-Trのゲート・ソース間電圧  
 $W$  : MOS-Trのチャネル幅  
 $L$  : MOS-Trのチャネル長  
 $(a-b)$  : 第3図のMaとMbのTrを示す  
 $g_{mn}$  : Mn-Trの相互コンダクタンス

【0008】(5)式において、第1項は差動入力対M1、M2の閾値電圧差を、第2項は負荷対M3、M4の閾値電圧差を、第3項は製造誤差による影響分をそれぞれ示す。第1項および第2項の閾値電圧差は、半導体ウエハ上の不純物濃度や酸化膜厚のばらつき分布等によって変化し、第3項の製造誤差による影響分はレジストパターンニングやエッチングの際の製造誤差によって変化する。

【0009】図10(a)はP型シリコン基板に注入される不純物濃度とP型シリコン基板上に形成されるトランジスタの閾値電圧との関係を示す図、図10(b)はP型シリコン基板上に形成される酸化膜厚と閾値電圧との関係を示す図である（古川：半導体デバイス参照）。図示のように、不純物濃度の変化に応じて、あるいは酸化膜厚の変化に応じて、P型シリコン基板に形成される

トランジスタの閾値電圧が変化する。

【0010】上述した演算増幅器回路の入力オフセット電圧の変動はMOSトランジスタに特有の問題ではなく、図11に示すように演算増幅器回路をバイポーラトランジスタで構成した場合にも問題になり、この場合にはトランジスタのベース・エミッタ間電圧のばらつきによって入力オフセット電圧が変動する。

【0011】図12は図8の差動増幅回路の従来のパターン配置図である。図12に示すように、演算増幅器1内部の差動入力対11を構成するトランジスタM11、M12は領域200に並べて配置され、隣接する領域210に演算増幅器1内部の負荷対12を構成するトランジスタM13、M14が並べて配置される。同様に、演算増幅器2内部の差動入力対21と負荷対22も互いに隣接する領域220、230に配置される。このよう

に、図12では、各トランジスタの入力オフセット電圧の変動を考慮することなく単に各トランジスタを並べて配置しているにすぎない。このため、半導体ウエハ上の不純物濃度や酸化膜厚のばらつき等によって差動増幅回路の出力 $V_{out}$ が変化してしまう。

【0012】図13は入力オフセット電圧の低減を図ったパターン配置図である。図13では、演算増幅器1内部の差動入力対11は領域300に、演算増幅器1内部の負荷対12は領域310に配置される。また、差動入力対11を構成するトランジスタM11、M12はそれぞれ2つの領域(301、302)、(303、304)に分けて対角線上に配置される。同様に、負荷対12を構成するトランジスタM13、M14もそれぞれ2つの領域(305、306)、(307、308)に分けて対角線上に配置される。このように配置することで、差動入力対11および負荷対12のそれぞれについて、閾値電圧差を減らすことができる。

【0013】

【発明が解決しようとする課題】しかしながら、図13のように配置しても、半導体ウエハ上の不純物濃度や酸化膜厚分布のばらつきによる影響は依然として受けるため、入力オフセット電圧は減りはしてもゼロにはならない。したがって、演算増幅器1、2の入力オフセット電圧は依然として変動し、それに応じて差動増幅回路の出力も変動する。

【0014】本発明の目的は、半導体ウエハ上に形成された複数の演算増幅器の各入力オフセット電圧を互いに相殺することができる演算増幅器回路を提供することにある。

【0015】

【課題を解決するための手段】実施例を示す図1に対応づけて本発明を説明すると、本発明は、正入力側である第1のトランジスタM11および負入力側である第2のトランジスタM12から構成される差動入力対と、第1のトランジスタM11の負荷である第1の負荷M13および第2のトランジスタM12の負荷である第2の負荷M14から構成される負荷対とを有する第1の演算増幅器1と、正入力側である第3のトランジスタM21および負入力側である第4のトランジスタM22から構成される差動入力対と、第3のトランジスタM21の負荷である第3の負荷M23および第4のトランジスタM22の負荷である第4の負荷M24から構成される負荷対とを有する第2の演算増幅器2とを備え、第1および第2の演算増幅器1、2の出力に基づいて演算処理を行う半導体基板上に形成された演算増幅器回路に適用され、第1および第2の演算増幅器1、2の各入力オフセット電圧が互いに相殺されるように、半導体基板上の電気的特性がリニアに変化すると近似できる程度の距離内に第1～第4のトランジスタM11、M12、M21、M22を配置するとともに、矩形領域の4つの頂点付近に第1

～第4のトランジスタM11、M12、M21、M22をそれぞれ配置し、第1および第2のトランジスタM11、M12の各形成領域を結ぶ方向と第3および第4のトランジスタM21、M22の各形成領域を結ぶ方向とを平行にし、かつ半導体基板上の電気的特性がリニアに変化すると近似できる程度の距離内に第1～第4の負荷M13、M14、M23、M24を配置するとともに、矩形領域の4つの頂点付近に第1～第4の負荷M13、M14、M23、M24をそれぞれ配置し、第1および第2の負荷M13、M14の各形成領域を結ぶ方向と第3および第4の負荷M23、M24の各形成領域を結ぶ方向とを平行にすることにより、上記目的は達成される。請求項2に記載の発明は、請求項1に記載の演算増幅器回路において、第1および第2の演算増幅器1、2の各出力の差分に応じた信号を出力する第3の演算増幅器3を備え、第1～第4のトランジスタM11、M12、M21、M22を第1のトランジスタM11を基準として時計回りまたは反時計回り方向に第2、第4および第3のトランジスタM12、M22、M21の順に配置し、かつ第1～第4の負荷M13、M14、M23、M24を第1の負荷M13を基準として時計回りまたは反時計回り方向に第2、第4および第3の負荷M13、M24、23の順に配置するものである。請求項3に記載の発明は、請求項1に記載の演算増幅器回路において、第1および第2の演算増幅器1、2を組とする $n$ 組( $n$ は1以上の整数)を並列に接続し、 $n$ 組の第1および第2の演算増幅器1、2の各出力をそれぞれ加算する第4の演算増幅器4を備え、各組ごとに、第1～第4のトランジスタM11、M12、M21、M22を第1のトランジスタM11を基準として時計回りまたは反時計回り方向に第2、第3および第4のトランジスタM12、M21、M22の順に配置し、かつ第1～第4の負荷M13、M14、M23、M24を第1の負荷M13を基準として時計回りまたは反時計回り方向に第2、第3および第4の負荷M14、M23、M24の順に配置するものである。請求項4に記載の発明は、請求項1に記載の演算増幅器回路において、正転増幅器として動作するように、従属接続された第1および第2の演算増幅器1、2を組とする $n$ 組を従属接続し、第1～第4のトランジスタM11、M12、M21、M22を第1のトランジスタM11を基準として時計回りまたは反時計回り方向に第2、第3および第4のトランジスタM12、M21、M22の順に配置し、かつ第1～第4の負荷M13、M14、M23、M24を第1の負荷M13を基準として時計回りまたは反時計回り方向に第2、第3および第4の負荷M14、M23、M24の順に配置するものである。請求項5に記載の発明は、請求項1～4のいずれか1項に記載の演算増幅器回路において、第1および第2の演算増幅器1、2を同一回路で構成し、第1および第2の演算増幅器1、2内部のトランジスタの形

成領域の形状および面積をすべて等しくし、かつ第1および第2の演算増幅器1、2内部の負荷の形成領域の形状および面積をすべて等しくするものである。

【0016】

【作用】請求項1に記載の発明では、第1および第2の演算増幅器1、2の各入力オフセット電圧が互いに相殺されるように、各演算増幅器を半導体基板上に形成する。具体的には、半導体基板は場所によって電気的特性がばらつくことを考慮に入れ、半導体基板上の電気的特性がリニアに変化すると近似できる程度の距離内に第1〜第4のトランジスタM11、M12、M21、M22を配置する。また、各トランジスタを矩形領域の4つの頂点付近にそれぞれ配置し、第1および第2のトランジスタM11、M12の各形成領域を結ぶ方向と、第3および第4のトランジスタM21、M22の各形成領域を結ぶ方向とを略平行にする。同様に、半導体基板上の電気的特性がリニアに変化すると近似できる程度の距離内に第1〜第4の負荷M13、M14、M23、M24を配置する。また、各負荷を矩形領域の4つの頂点付近にそれぞれ配置し、第1および第2の負荷M13、M14の各形成領域を結ぶ方向と、第3および第4の負荷M23、M24の各形成領域を結ぶ方向とを略平行にする。請求項2に記載の発明では、第1の演算増幅器1の出力と第2の演算増幅器2の出力とをそれぞれ第3の演算増幅器3に入力し、各出力の差分を演算する。その際、第1のトランジスタM11を基準として時計回りおよび反時計回り方向に第2、第4および第3のトランジスタM12、M22、M21の順に配置し、かつ第1の負荷M13を基準として時計回りおよび反時計回り方向に第2、第4および第3の負荷M13、M24、23の順に配置することで、第1の演算増幅器1の入力オフセット電圧と第2の演算増幅器2の入力オフセット電圧とを極性も含めて等しくする。これにより、第3の演算増幅器3で差分演算を行ったときに、第1および第2の演算増幅器1、2の各入力オフセット電圧を相殺する。請求項3に記載の発明では、第1および第2の演算増幅器1、2を組としてn組を並列に接続し、各組ごとに、第1のトランジスタM11を基準として時計回りおよび反時計回り方向に第2、第3および第4のトランジスタM12、M21、M22の順に配置し、かつ第1の負荷M13を基準として時計回りおよび反時計回り方向に第2、第3および第4の負荷M14、M23、M24の順に配置することで、各組ごとに第1および第2の演算増幅器1、2の入力オフセット電圧を相殺する。そして、各組の出力を第4の演算増幅器4に入力してn組分の加算値を演算する。すなわち、第4の演算増幅器4では、各組の第1および第2の演算増幅器1、2の入力オフセット電圧に影響されずにn組分の出力の加算を行う。請求項4に記載の発明では、第1のトランジスタM11を基準として時計回りおよび反時計回り方向に第2、第4およ

び第3のトランジスタM12、M22、M21の順に配置し、かつ第1の負荷M13を基準として時計回りおよび反時計回り方向に第2、第4および第3の負荷M13、M24、23の順に配置することで、第1の演算増幅器1の入力オフセット電圧の極性と、第2の演算増幅器2の入力オフセット電圧の極性とを逆にする。これにより、各組ごとに入力オフセット電圧を相殺し、n組が従属接続された演算増幅器の最終段の出力が入力オフセット電圧の影響を受けないようにする。請求項5に記載の発明では、第1および第2の演算増幅器1、2を同一の回路で構成し、かつ第1および第2の演算増幅器1、2内部のトランジスタの形成領域の形状および面積をすべて等しくし、かつ第1および第2の演算増幅器1、2内部の負荷の形成領域の形状および面積をすべて等しくすることで、第1および第2の演算増幅器1、2の電気的特性、例えば入力オフセット電圧等を等しくする。

【0017】なお、本発明の構成を説明する上記課題を解決するための手段と作用の項では、本発明を分かり易くするために実施例の図を用いたが、これにより本発明が実施例に限定されるものではない。

【0018】

【実施例】以下、図1〜7を参照して本発明による演算増幅器回路の第1〜第3の実施例を説明する。

【0019】-第1の実施例-

図1(a)は図8に示す差動増幅回路についての第1の実施例のパターン配置図である。図1の領域100には演算増幅器1内部の差動入力対11と演算増幅器2内部の差動入力対21が配置され、領域110には演算増幅器1内部の負荷対12と演算増幅器2内部の負荷対22が配置される。領域100内部には、差動入力対11と差動入力対21がそれぞれ平行かつ近接した距離で配置され、かつ差動入力対11を構成するトランジスタM11、M12の各配置領域間の距離と差動入力対21を構成するトランジスタM21、M22の各配置領域間の距離とを略等しくしている。さらに、トランジスタM11およびトランジスタM21を配置する方向と、トランジスタM12およびトランジスタM22を配置する方向とを略等しくしている。

【0020】同様に、領域110内部には、負荷対12と負荷対22がそれぞれ平行かつ近接した距離で配置され、かつ負荷対12を構成するトランジスタM13、M14の各配置領域間の距離と負荷対22を構成するトランジスタM23、M24の各配置領域間の距離を略等しくし、さらに、トランジスタM13およびトランジスタM23を配置する方向とトランジスタM14およびM24を配置する方向とを略等しくしている。

【0021】次に、図1(a)のように配置された差動増幅回路の作用を説明する。前述したように、半導体ウエハ上に演算増幅器1、2を形成すると、半導体ウエハ上の不純物濃度や酸化膜厚のばらつき等によって演算増



幅器1、2内部の差動入力対11、21および負荷対12、22に特性上のアンバランスが生じ、このアンバランスによって各トランジスタの閾値電圧が変化する。

【0022】図2は半導体ウエハ上における不純物濃度のばらつきの一例を示す図であり、不純物濃度の設計値を「108」とした例を示す。図示のように、不純物濃度は半導体ウエハ上で2次元的に緩やかに変化し、その変化の度合いは、差動入力対11、22や負荷対21、22を構成する各トランジスタのサイズに比べてはるかに小さい。したがって、半導体ウエハ上に配置される各トランジスタから見ると、不純物濃度はリニアに変化しているといえる。また、酸化膜厚のばらつきについても同様のことがいえる。

【0023】このように、半導体ウエハ上の不純物濃度や酸化膜厚のばらつきの度合いは、差動入力対11、21や負荷対12、22を構成する各トランジスタのサイズに比べてはるかに小さいため、各トランジスタを所定の方向に所定間隔で配置すれば、不純物濃度や酸化膜厚のばらつきによる影響を相殺できる。

【0024】例えば、演算増幅器1、2を図1(a)のように配置したときに、差動入力対11を構成する一方のトランジスタM11よりも他方のトランジスタM12の閾値電圧が $V_a$ 高い場合には、差動入力対11の直近に平行配置される差動入力対21についても、一方のトランジスタM21よりも他方のトランジスタM22の閾値電圧が $V_a$ 高くなると推定される。これは半導体ウエハ上の不純物濃度等が、狭い範囲に限って考えればリニアに変化すると考えられるためである。同様に、負荷対21を構成する一方のトランジスタM13よりも他方のトランジスタM14の閾値電圧が $V_a$ 高い場合には、直近の負荷対22についても、一方のトランジスタM23よりも他方のトランジスタM24の閾値電圧が $V_a$ 高くなると推定される。したがって、図1(a)のように配置すれば、演算増幅器1、2の入力オフセット電圧 $V_{os1}$ 、 $V_{os2}$ を等しくでき、(5)式で示す差動増幅回路の出力 $V_{out}$ は入力オフセット電圧 $V_{os1}$ 、 $V_{os2}$ の影響を受けなくなる。

【0025】なお、差動入力対11、21や負荷対12、22を図1(a)のように配置する代わりに図1(b)のように配置してもよい。図1(b)は、差動入力対11、21や負荷対21、22の配置方向を図1(a)に対して90度変更したものであり、この場合も、差動入力対11、21および負荷対21、22のそ\*

$$V_{out} = -\frac{R_8}{R_6} \times (V_{in1} + V_{os1} + V_{in2} + V_{os2}) \quad \dots (7)$$

【0030】(7)式に示すように、加算回路の場合には入力オフセット電圧 $V_{os1}$ 、 $V_{os2}$ の加算値が出力 $V_{out}$ に加わるため、図1(a)のように配置しても、入力オフセット電圧 $V_{os1}$ 、 $V_{os2}$ を相殺できない。

【0031】図4は第2の実施例のパターン配置図であ

\*れぞれの閾値電圧差を等しくできる。

【0026】このように、第1の実施例では、図1

(a)あるいは図1(b)のようにパターン配置することによって、差動入力対11を構成するトランジスタM11、M12の閾値電圧差と差動入力対21を構成するトランジスタM21、M22の閾値電圧差とを共通にし、かつ負荷対12を構成するトランジスタM13、M14の閾値電圧差と負荷対22を構成するトランジスタM23、M24の閾値電圧差とを共通にするため、半導体ウエハ上における不純物濃度や酸化膜厚のばらつきに関係なく、演算増幅器1の入力オフセット電圧と演算増幅器2の入力オフセット電圧とを常に同じ値に設定できる。したがって、図8の回路を構成した場合に、演算増幅器1、2の各入力オフセット電圧を互いに相殺でき、出力 $V_{out}$ は入力オフセット電圧の影響を受けなくなる。

【0027】上述した第1の実施例では、負荷対21、22としてNMOSトランジスタを用いる例を説明したが、抵抗によって負荷対21、22を構成する場合にも同様に本発明を適用できる。すなわち、半導体ウエハ上に抵抗を形成すると、抵抗値は一般に不純物濃度によって変化するため、上述したように抵抗の配置間隔を制御することで、不純物濃度のばらつきによる抵抗値の変化を相殺できる。

【0028】-第2の実施例-

第2の実施例は、加算回路として動作する演算増幅器回路を半導体ウエハ上に形成するものである。図3は加算回路として動作する演算増幅器回路の回路図である。図3に示すように、演算増幅器1、2の出力は抵抗 $R_6$ 、 $R_7$ を介して演算増幅器4の(-)端子に接続され、演算増幅器4の出力は抵抗 $R_8$ を介して演算増幅器4の(-)端子に接続されている。

【0029】図3の演算増幅器1、2にそれぞれ入力される電圧を $V_{in1}$ 、 $V_{in2}$ とし、 $R_6 = R_8$ とすると、加算回路の出力 $V_{out}$ は(6)式で表される。

【数6】

$$V_{out} = -\frac{R_8}{R_6} (V_{in1} + V_{in2}) \quad \dots (6)$$

演算増幅器1、2の入力オフセット電圧 $V_{os1}$ 、 $V_{os2}$ を考慮に入れると、(6)式は(7)式のように変形される。

【数7】

る。領域100内部に差動入力対11と差動入力対21とをそれぞれ平行に配置し、かつ差動入力対11を構成するトランジスタM11、M12の各配置領域間の距離と差動入力対21を構成するトランジスタM21、M22の各配置領域間の距離とを略等しくする点では第1の

11

実施例と共通する。一方、トランジスタM11およびトランジスタM22を配置する方向とトランジスタM12およびトランジスタM21を配置する方向とを略等しくする点で第1の実施例と異なる。すなわち、第2の実施例では、トランジスタM11およびM21を対角線上に配置し、かつトランジスタM12およびM22を対角線上に配置する点で第1の実施例と異なる。

【0032】同様に、負荷対12、22についても、トランジスタM13およびトランジスタM24を配置する方向とトランジスタM14およびトランジスタM23を配置する方向を略等しくする点で第1の実施例と異なる。

【0033】図4のように配置することで、演算増幅器1と演算増幅器2の入力オフセット電圧の極性を逆にすることができる。例えば、差動入力対11を構成する一方のトランジスタM11よりも他方のトランジスタM12の閾値電圧が $V_a$ 高い場合には、差動入力対11の直近に平行配置される差動入力対21については、一方のトランジスタM21よりも他方のトランジスタM22の閾値電圧が $V_a$ 低くなる。同様に、負荷対12、22についても、負荷対12を構成する一方のトランジスタM13よりも他方のトランジスタM14の閾値電圧が $V_a$ 高い場合には、直近に配置される負荷対22を構成する\*

$$V_{out} = V_{in} \times \frac{R_{10}}{R_9} \times \frac{R_{12}}{R_{11}} \quad \dots (8)$$

【0037】また、1段目の演算増幅器1の出力は自己の入力オフセット電圧によって変化し、その変化分 $V_{off}$ ※

$$V_{off1} = -V_{os1} \times \frac{R_{10}}{R_9} \quad \dots (9)$$

同様に、2段目の演算増幅器2の自己の入力オフセット電圧による出力変化分 $V_{off2}$ は(10)式で表される。★

$$V_{off2} = -V_{os2} \times \frac{R_{12}}{R_{11}} \quad \dots (10)$$

【0038】したがって、正転増幅回路全体での入力オフセット電圧による変化分 $V_{offx}$ は(11)式で表される。

$$【数11】 V_{offx} = V_{off1} + V_{off2} \quad \dots (11)$$

(11)式の $V_{offx}$ をゼロにするには、 $V_{off1} = -V_{off2}$ ★

$$-V_{os1} \times \frac{R_{10}}{R_9} = V_{os2} \times \frac{R_{12}}{R_{11}} \quad \dots (12)$$

$$V_{os1} \times \frac{R_{10}}{R_9} = -V_{os2} \times \frac{R_{12}}{R_{11}} \quad \dots (13)$$

【0039】さらに、抵抗 $R_9 \sim R_{12}$ の間に(14)式の関係が成り立てば(12)式は $-V_{os1} = V_{os2}$ となり、(13)式は $V_{os1} = -V_{os2}$ となり、いずれも第2の実施例と同◆

$$\frac{R_{10}}{R_9} = \frac{R_{12}}{R_{11}} \quad \dots (14)$$

12

\*一方のトランジスタM23よりも他方のトランジスタM24の閾値電圧が $V_a$ 低くなる。

【0034】したがって、図4の配置により、演算増幅器1の入力オフセット電圧 $V_{os1}$ と演算増幅器2の入力オフセット電圧 $V_{os2}$ の極性を逆にでき、(7)式で示す加算回路の出力 $V_{out}$ は入力オフセット電圧の影響を受けなくなる。

【0035】図5は、 $2n$ 個の入力電圧 $V_1 \sim V_{2n}$ を加算する加算回路の回路図である。図5の回路を半導体ウエハ上に形成する場合には、図示の一点鎖線で示すように、演算増幅器を2個ずつ組にし、各組ごとに図4のように配置すればよい。これにより、各組ごとに入力オフセット電圧が相殺され、回路全体としても入力オフセット電圧の影響を受けなくなる。

【0036】-第3の実施例-

第3の実施例は、演算増幅器を従属接続して正転増幅回路を構成するものである。図6は正転増幅回路として動作する演算増幅器回路の回路図である。図6に示す演算増幅器回路は反転増幅回路として動作する演算増幅器を2段従属接続したものであり、2段目の演算増幅器2の出力 $V_{out}$ は(8)式で表される。

【数8】

※ $f_1$ は(9)式で表される。

【数9】

☆たは $-V_{off1} = V_{off2}$ とすればよく、前者の場合には(12)式が、後者の場合には(13)式が成り立てばよい。

【数12】

◆様になる。

【数13】



したがって、(14)式が成り立つようにそれぞれの抵抗を定数設定することで、第2の実施例と同様の図4に示すパターン配置によって入力オフセット電圧を相殺できる。

【0040】図7は反転増幅回路として動作する演算増幅器を2n個従属接続させた回路図である。この場合には、図示のように2個ずつを組にし、各組ごとに図4のように配置すればよい。これにより、各組ごとにオフセット電圧を相殺でき、回路全体としてもオフセット電圧の影響を受けなくなる。

【0041】上述した第1～第3の実施例では、演算増幅器回路の一例として、減算回路、加算回路および差動増幅回路について説明したが、本発明は演算増幅器を用いた各種の回路に適用できる。

【0042】このように構成した実施例にあっては、トランジスタM11、M12が第1および第2のトランジスタに、トランジスタM13、M14が第1および第2の負荷に、演算増幅器1が第1の演算増幅器に、トランジスタM21、M22が第3および第4のトランジスタに、トランジスタM23、M24が第3および第4の負荷に、演算増幅器2が第2の演算増幅器に、演算増幅器3が第3の演算増幅器に、演算増幅器4が第4の演算増幅器に、それぞれ対応する。

【0043】

【発明の効果】以上詳細に説明したように、本発明によれば、演算増幅器回路を半導体ウエハ上に形成する際、第1および第2の演算増幅器のそれぞれを入力オフセット電圧が互いに相殺されるように差動入力対と負荷対とを配置するようにしたため、半導体基板上で不純物濃度や酸化膜厚等がばらついて第1および第2の演算増幅器の入力オフセット電圧が変化しても、演算増幅器回路の出力変化を抑制できる。すなわち、本発明では、入力オフセット電圧自体を減らすのではなく、第1および第2の演算増幅器の各入力オフセット電圧が等しくなるようにパターン配置するため、これら入力オフセット電圧を互いに相殺することで入力オフセット電圧の影響を抑制できる。請求項2に記載の発明によれば、第1および第2の演算増幅器の各出力の差分に応じた信号を第3の演算増幅器から出力する際には、第1のトランジスタを基準として時計回りまたは反時計回り方向に第2、第4および第3のトランジスタの順に配置し、かつ第1の負荷を基準として時計回りまたは反時計回り方向に第2、第4および第3の負荷の順に配置するようにしたため、第1の演算増幅器の入力オフセット電圧と第2の演算増幅器の入力オフセット電圧とを略等しくでき、これら第1および第2の差動増幅回路の出力を第3の演算増幅器に入力して差動増幅あるいは減算出力を得る場合に、その出力が入力オフセット電圧の影響を受けなくなる。請求項3に記載の発明によれば、第1および第2の演算増幅

器を組とするn組の第1および第2の演算増幅器の出力をそれぞれ加算する際、各組ごとに第1のトランジスタを基準として時計回りまたは反時計回り方向に第2、第3および第4のトランジスタの順に配置し、かつ第1の負荷を基準として時計回りまたは反時計回り方向に第2、第3および第4の負荷の順に配置するようにしたため、各組ごとに入力オフセット電圧を相殺でき、これら各組の出力を第4の演算増幅器に入力して各組の出力加算値を得る場合に、その値が入力オフセット電圧の影響を受けなくなる。請求項4に記載の発明によれば、第1および第2の演算増幅器を組とするn組を従属接続して正転増幅器を構成する際、各組ごとに第1のトランジスタを基準として時計回りまたは反時計回り方向に第2、第3および第4のトランジスタの順に配置し、かつ第1の負荷を基準として時計回りまたは反時計回り方向に第2、第3および第4の負荷の順に配置するようにしたため、各組ごとに入力オフセット電圧を相殺でき、正転増幅器の最終段の出力が入力オフセット電圧の影響を受けなくなる。

20 【図面の簡単な説明】

【図1】第1の実施例のパターン配置図。

【図2】半導体ウエハ上における不純物濃度のばらつきの一例を示す図。

【図3】加算回路として動作する演算増幅器回路の回路図。

【図4】第2の実施例のパターン配置図。

【図5】2n個の入力電圧V1～V2nを加算する加算回路の回路図。

30 【図6】正転増幅回路として動作する演算増幅器回路の回路図。

【図7】反転増幅器として動作する演算増幅器を2n個従属接続させた回路図。

【図8】複数の演算増幅器によって信号処理を行う差動入力回路の回路図。

【図9】PMOSトランジスタを用いて構成した演算増幅器の内部回路図。

【図10】(a)は不純物濃度と閾値電圧との関係を示す図、(b)は酸化膜厚と閾値電圧との関係を示す図。

40 【図11】バイポーラトランジスタを用いて構成した演算増幅器の内部回路図。

【図12】演算増幅器回路の従来のパターン配置図。

【図13】入力オフセット電圧の低減を図ったパターン配置図。

【符号の説明】

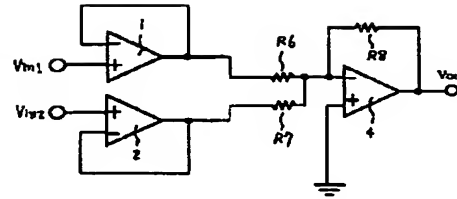
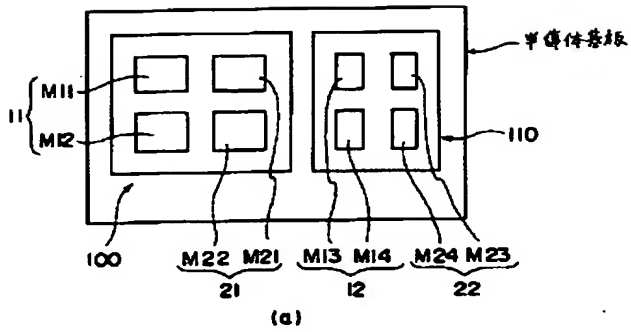
1～4 演算増幅器

11、21 差動入力対

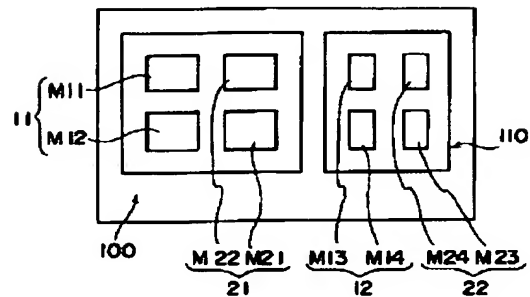
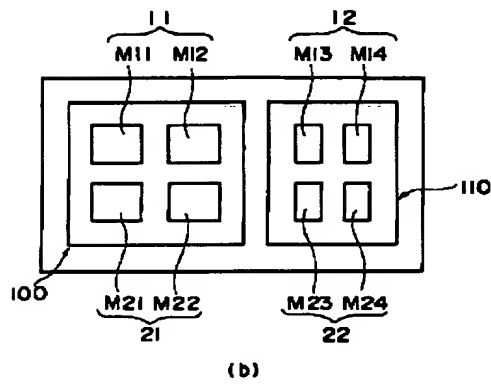
12、22 負荷対

M11、M12、M13、M14、M21、M22、M23、M24 トランジスタ

【図3】

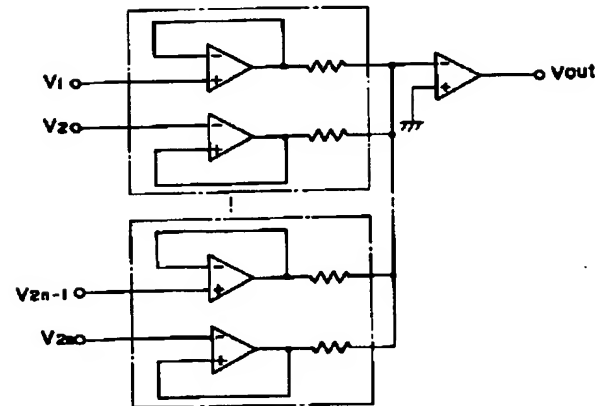
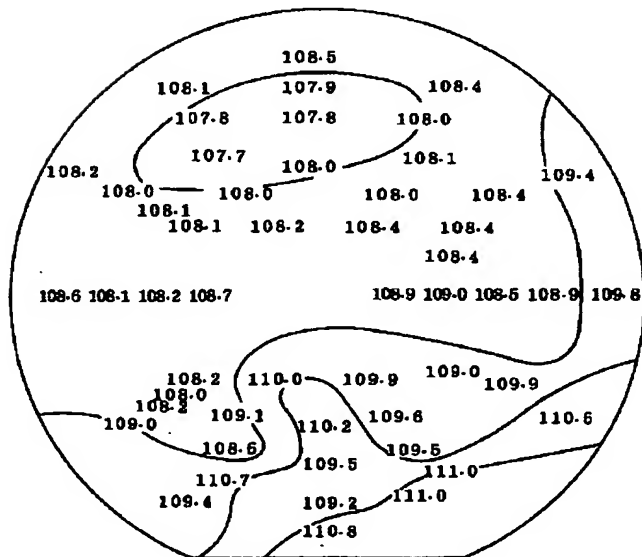


【図 4】

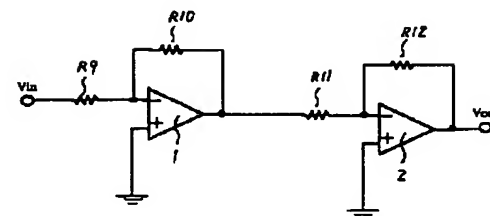


【図5】

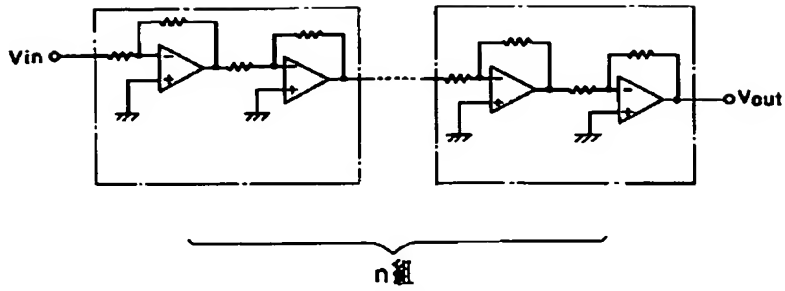
【图2】



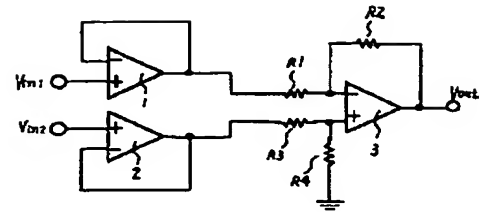
【図6】



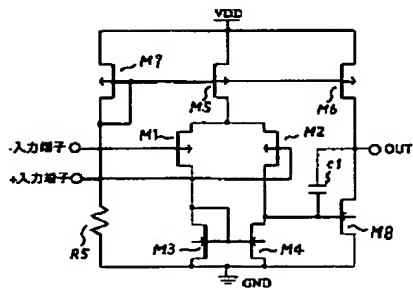
【図7】



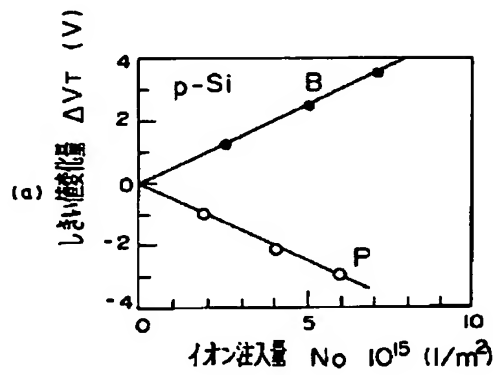
【図8】



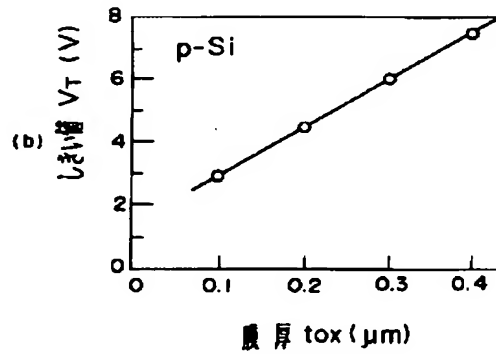
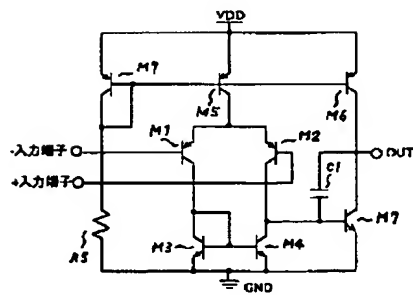
【図9】



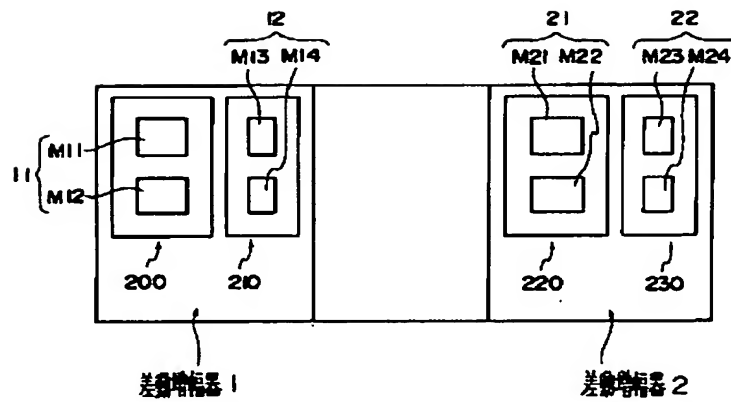
【図10】



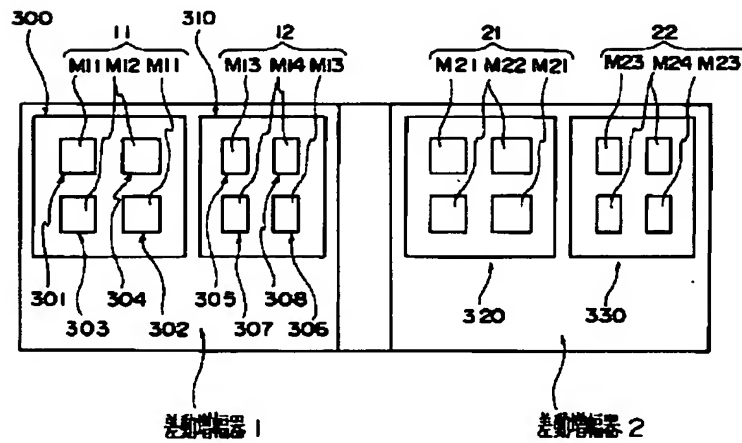
【図11】



【図12】



【図13】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H03F 3/68

識別記号

片内整理番号

F1

技術表示箇所